

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040061856 A  
(43)Date of publication of application: 07.07.2004

(21)Application number: 1020020088156  
(22)Date of filing: 31.12.2002

(71)Applicant: HYNIX SEMICONDUCTOR INC.  
(72)Inventor: JUNG, SU OK

(51)Int. Cl. H01L 21/28

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is provided to prevent short and to improve topology of a gate electrode by using a multilayer hard mask.

CONSTITUTION: A gate oxide layer(12) and a conductive layer(14) are formed on a substrate(10). By sequentially depositing and patterning the first nitride layer(30-1), an oxide layer(30-2) and the second nitride layer(30-3), a multilayer hard mask (30) is formed on the gate conductive layer. An insulating spacer(20) is formed at both sidewalls of the patterns. Landing plug contact holes are formed by etching an interlayer dielectric. A landing plug(22) is then formed in the landing plug contact holes.



&copy;copy; KIPO 2004

Legal Status

【한국공개특허공보2004-0061856(2002.12.31출원) : 인용예1】

10-2004-0061856

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>

(11) 공개번호 10-2004-0061856

H01L 21/26

(43) 공개일자 2004년07월07일

(21) 출원번호

10-2002-0088158

(22) 출원일자

2002년12월31일

(71) 출원인

주식회사 하이닉스반도체

(72) 발명자

경기 이천시 부발읍 마미리 산136-1  
정수옥

(74) 대리인

서울특별시서초구잠원동동마아파트103동1302호  
이후동, 이정훈

신상표 : 없음

## (54) 반도체소자의 제조방법

요약

본 발명은 반도체소자의 제조방법에 관한 것으로서, 특히 게이트전극 형성을 위한 하드마스크층을 산화막-절화막과 같은 다른 재질의 다층 절연막으로 형성하여 게이트전극 패턴화 후에도 일부가 남도록 하여 후속 랜덤블러그 공정 및 아니라 비트라인이나 전하저장전극 콘택 형성등의 공정에서도 마스크형성막 패턴이나 게이트전극 등의 하부막층을 보호하도록 하였으므로, 게이트전극의 단차를 감소시킬 수 있어 패턴의 공정이 용이하고, 할로 이온주입 손상을 줄일 수 있으며, 절연막 도포시 보이드 생성이 방지되고, 게이트 노출에 따른 단락이 방지되어 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있다.

도면

도면

도면

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 반도체소자의 제조공정도.

도 2a 내지 도 2d는 본 발명에 따른 반도체소자의 제조공정도.

&lt; 도면의 주요 부분에 대한 부호의 설명 &gt;

10 : 반도체기판

12 : 게이트산화막

14 : 도전층

16, 30 : 하드마스크층

18 : 게이트전극

20 : 절연 스페이서

22 : 다결정실리콘층

24 : 콘택블러그

30-1 : 제1절화막

30-2 : 산화막

30-3 : 제2절화막

도면의 상세한 설명

도면의 부호

도면이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로서, 특히 MOS 전계효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor; 이하 MOS FET라 칭함)의 게이트전극 보호를 위한 하드마스크층을 여러재질의 다층절연막으로 형성하여 후속 자기정렬 콘택(self align contact; 이하 SAC 라 칭함) 공정시 하드마스크층의 손상을 최소화하여 게이트전극의 노출에 따른 단락 발생을 방지하여 공정수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법에 관한 것이다.

최근의 반도체 장치의 고집적화 추세는 미세 패턴 형성 기술의 발전에 큰 영향을 받고 있으며, 반도체 장치의 제조 공정 중에서 식각 또는 이온주입 공정 등의 마스크로 매우 폭 넓게 사용되는 감광막 패턴의 미세화가 필수 요건이다.

이러한 감광막 패턴의 분해능(R)은 감광막 자체의 재질이나 기관과의 접착력등과도 밀접한 연관이 있으나, 일반적으로 사용되는 축소노광장치의 광원 파장( $\lambda$ ) 및 공정 변수(k)에 비례하고, 노광 장치의 렌

10-2004-0061856

즈 구경(numerical aperture; NA, 개구수)에 반비례한다.

[ $R=k\lambda/NA$ ,  $R$ =해상도,  $\lambda$ =광원의 파장,  $NA$ =개구수]

여기서 상기 축소노광장치의 광분해능을 향상시키기 위하여 광원의 파장을 감소시키게 되며, 예를들어 파장이 436 nm 및 365 nm인 g-라인 및 i-라인 축소노광장치는 공작 분해능이 라인/스페이스 패턴의 경우 각각 약 0.7, 0.5  $\mu m$  정도가 한계이고, 0.5  $\mu m$  이하의 미세 패턴을 형성하기 위해서는 이보다 파장이 더 작은 원자외선(deep ultra violet; DUV), 예를들어 파장이 248 nm인 KrF 레이저나 193 nm인 ArF 레이저를 광원으로 사용하는 노광 장치를 이용하여야 한다.

또한 축소노광장치와는 별도로 공작 상의 방법으로는 노광마스크(photo mask)로서 위상변전마스크(phase shift mask)를 사용하는 방법이나, 이미지 콘트라스트를 향상시킬 수 있는 별도의 박막을 웨이퍼 상에 형성하는 씨.미.셀(contrast enhancement layer; CEL) 방법이나, 투광의 감광막 사이에 에스.오.지(substrate on glass; SOG)등의 중간층을 개재시킨 삼층레지스트(tri layer resist; 이하 TLR이라 함) 방법 또는 감광막의 상층에 선택적으로 실리콘을 주입시키는 실리콘레이션 방법 등이 개발되어 분해능 한계치를 낮추고 있다.

또한 상기의 도전배선을 연결하는 콘택홀은 상가에서의 라인/스페이스 패턴에 비해 디자인률이 더 크게 나타나는데, 소자가 고집적화 되어감에 따라 자체의 크기와 주변배선과의 간격이 감소되고, 콘택홀의 지름과 길이의 비인 애스펙트비(aspect ratio)가 증가한다. 따라서, 다층의 도전배선을 구비하는 고집적 반도체소자에서는 콘택 형성 공정에서의 마스크들간의 정렬하고 엄격한 정렬이 요구되며 공작여유도가 감소되거나, 여유가 전혀없이 공정을 진행하여야 하는 어려움이 있다.

이러한 콘택홀은 홀간의 간격 유지를 위하여 마스크 정렬시의 오배열 여유(misalignment tolerance), 노광공정시의 렌즈 왜곡(lens distortion), 마스크 제작 및 사진식각 공정시의 일체크기 변화(critical dimension variation), 마스크간의 정합(registration)등과 같은 요인들을 고려하여 마스크를 형성한다.

상기와 같은 콘택홀의 형성 방법으로는 직접 식각 방법과, 측벽 스페이서를 사용하는 방법 및 SAC 방법등이 있다.

상기에서 직접 식각방법과 측벽 스페이서 형성 방법은 현재의 제반 기술 수준에서 0.3  $\mu m$  이하의 디자인 룰을 갖는 소자 제조에는 사용할 수 없어 소자의 고집적화에 한계가 있다.

또한 콘택홀 형성시 리소그래피(lithography) 공정의 한계를 극복하기 위하여 고안된 SAC 방법은 식각장벽층으로 사용하는 물질에 따라 다결정실리콘층이나 질화막 또는 산화질화막등을 사용하는 것으로 나눌 수 있으며, 가장 유망한 것으로 질화막을 식각 방어막으로 사용하는 방법이 있다.

도 1a 내지 도 1d는 종래 기술에 따른 반도체소자의 제조공정도이다.

먼저, 반도체기판(10)상에 게이트산화막(12)과 다결정실리콘이나 W등의 도전층(14)과 질화막 재질의 하드 마스크층(16)을 순차적으로 형성한다. (도 1a 참조).

그다음 상기 하드마스크층(16)상에 게이트 패턴닝용 감광막 패턴(도시되지 않음)을 형성하고, 상기 감광막 패턴에 의해 노출되어있는 하드마스크층(16)과 도전층(14) 및 게이트산화막(12)을 순차적으로 제거하여 하드마스크층(16) 패턴과 중첩되어있는 게이트전극(18)을 형성한다. 이때 상기 하드마스크층(16)의 일부 두께가 제거 된다. (도 1b 참조).

그후, 상기 게이트전극(18)과 하드마스크층(16) 패턴의 측벽에 절연 스페이서(20)를 형성한 후, 상기 구조의 전표면에 랜딩 플러그 콘택홀을 형성하기 위한 중간절연막(도시되지 않음)을 도포하고, 랜딩 플러그 콘택홀을 형성한 후, 상기 구조의 전표면에 랜딩플러그가 되는 다결정실리콘층(22)을 도포한다. (도 1c 참조).

그다음 상기 다결정실리콘층(22)을 화학기계적 연마(이하 CMP 라 함) 공정을 진행하여 콘택플러그(24)를 형성한다. 이때 상기 하드마스크층(16)의 일부 두께가 또 제거된다. 이러한 하드마스크층(16)의 손상은 후속 비트라인 콘택이나 전하저장전극 콘택 형성 공정에서 게이트전극(18)을 충분히 보호하지 못할 수 있다. (도 1d 참조).

상기와 같은 종래 기술에 따른 반도체소자의 제조방법은 랜딩 플러그 형성공정에서 하드마스크층이 모두 제거되고 그 하부의 마스크절연막 패턴이 손상되는데, 이는 후속 비트라인이나 전하저장전극 또는 금속 콘택 형성시에 다시 마스크절연막 패턴이 손상되면 그 하부의 게이트전극이 노출되어 배선간 단락이 발생할 수 있어 마스크절연막을 충분한 두께로 형성하여야 하는데, 그 경우 게이트전극 패턴닝 공정시 단차가 높아져 후속 공정을 더욱 어렵게하고 소자의 고집적화에 의해 게이트전극간 간격이 감소되어 랜딩 플러그 형성을 위한 절연막이 게이트전극을 사이를 제대로 메우지 못해 보이드가 발생할 수 있으며, CMP 공정로 인한 마스크절연막 패턴의 남아 있는 균일도가 떨어져 후속 공정시 불량 발생의 원인이 되는등 공정 수율 및 소자 동작의 신뢰성이 떨어지는 문제점이 있다.

#### 본 발명의 여러가지 다른 기술적 구성

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 게이트전극 패턴닝시 사용되는 하드마스크층을 다른 재료의 다층 적층 구조로 형성하여 게이트전극 패턴닝 후에도 일부가 남아 있도록 하여 게이트전극의 상부가 마스크절연막 패턴에 의해 안정적으로 보호되도록하여 후속 공정에서 배선간 단락을 방지하고, 게이트전극 패턴닝시의 단차를 감소시켜 식각 공정을 용이하게 하며, 절연막의 보이드 발생을 방지하고, 콘택플러그 형성을 위한 CMP 공정시 패턴 균일도를 향상시켜 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법을 제공함에 있다.

#### 본 발명의 구성 및 작용

10-2004-0061856

상기와 같은 목적을 달성하기 위한 본 발명에 따른 반도체소자 제조방법의 특징은,  
반도체기판상에 게이트절연막과, 도전층 및 하드마스크층을 순차적으로 형성하되 상기 하드마스크층은 여러 재질의 다층막으로 형성하는 공정과,  
상기 하드마스크층 이하 도전층까지를 게이트전극 패터닝 마스크를 사용한 사진 식각 공정으로 식각하여 하드마스크층 패턴과 중첩되어있는 도전층 패턴으로된 게이트전극을 형성하는 공정과,  
상기 패턴들의 측벽에 절연 스페이서를 형성하는 공정과,  
상기 구조의 전표면에 출간절연막을 형성하는 공정과,  
상기 출간 절연막을 랜딩 플러그 콘택 식각 마스크를 이용한 사진 식각 공정을 패턴닝하여 랜딩플러그 콘택홀을 형성하는 공정과,  
상기 구조의 전표면에 랜딩 플러그 도전층을 형성하는 공정과,  
상기 랜딩 플러그 도전층을 CMP방법으로 평탄화하여 콘택홀을 메운 랜딩 플러그를 형성하는 공정을 구비함에 있다.  
또한 본 발명의 다른 특징은, 상기 하드마스크층은 질화막-산화막-질화막의 적층 구조인 것을 특징으로 한다.  
이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체소자의 제조방법에 대하여 상세히 설명을 하기로 한다.

도 2a 내지 도 2d는 본 발명에 따른 반도체소자의 제조공정도이다.

먼저, 반도체기판(10)상에 게이트산화막(12)을 형성하고, 그 상부에 게이트전극이 되는 도전층(14)과 절화막 재질의 하드마스크층(30)을 순차적으로 형성한다. 여기서 상기 하드마스크층(30)은 플라즈마 유도 화학기상증착이나 저압 화학기상증착의 방법으로 형성되는 제1절화막(30-1), 산화막(30-2) 및 제2절화막(30-3)으로 구성되며, 상기 제2절화막(30-3)은 게이트 패턴닝 및 랜딩 플러그 콘택홀 형성을 위한 SAC 메칭 공정이 배리어가 된다. (도 2a 참조).

그다음 상기 하드마스크층(30)상에 게이트 패턴닝용 감광막 패턴(도시되지 않음)을 형성하고, 상기 감광막 패턴에 의해 노출되어있는 하드마스크층(30)과 도전층(14) 및 게이트산화막(12)을 순차적으로 제거하여 하드마스크층(30) 패턴과 중첩되어있는 게이트전극(18)을 형성한다. 이때 상기 하드마스크층(30)의 제2절화막(30-3)의 일부 두께가 제거된다. (도 2b 참조).

그후, 상기 게이트전극(18)과 하드마스크층(30) 패턴의 측벽에 산화막이나 질화막 또는 그 적층막으로된 절연 스페이서(20)를 형성한 후, 상기 구조의 전표면에 랜딩 플러그 콘택홀 형성을 위하여 식각장벽층과 출간절연막(도시되지 않음)을 도포하고, SAC 방법으로 랜딩 플러그 콘택홀을 형성한 후, 상기 구조의 전표면에 랜딩플러그가 되는 다결정실리콘층(22)을 도포한다. 여기서 상기 절연 스페이서(20) 형성 공정 시 오버에치할 하므로 제2절화막(30-3)이 약간 제거되며, 콘택홀 오픈 공정시에는 상기 출간절연막이 산화막 재질이므로 제2절화막(30-3)은 약간만 제거된다. (도 2c 참조).

그다음 상기 다결정실리콘층(22)을 CMP 공정을 진행하여 평탄화시켜 콘택플러그(24)를 형성한다. 이때 상기 하드마스크층(30)의 제2절화막(30-3)이 전부 제거되고, 산화막(30-2)의 일부가 남게된다. 여기서 상기 산화막(30-2)의 남은 두께 정도는 CMP의 진할 공정 조건이나 시간등을 조절하여 결정할 수 있다. (도 2d 참조).

상기 하드마스크층(30)의 재질은 후속 공정에서 사용되는 층들에 따라 다결정실리콘, 산화질화막등 여러 가지 재질의 다양한 배합으로 변경하여 형성할 수 있다.

#### 발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 제조방법은 게이트전극 형성을 위한 하드마스크층을 질화막-산화막-질화막과 같은 다른 재질의 다층 절연막으로 형성하여 게이트전극 패턴닝 후에도 일부가 남도록하여 후속 랜딩플러그 공정 뿐 아니라 비트라인이나 전하저장전극 콘택 형성등의 공정에서도 마스크절연막 패턴이나 게이트전극 등의 하부막들을 보호하도록 하였으므로, 게이트전극의 단차를 감소시킬 수 있어 패턴닝 공정이 용이하고, 할로 미온주입 솔로프를 줄일수 있을 수 있으며, 절연막 도포시 보이드 생성이 방지되고, 게이트 노출에 따른 단락이 방지되어 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 이점이 있다.

#### (57) 청구의 범위

청구항 1. 반도체기판상에 게이트절연막과, 도전층 및 하드마스크층을 순차적으로 형성하되 상기 하드마스크층은 여러 재질의 다층막으로 형성하는 공정과,

상기 하드마스크층 이하 도전층까지를 게이트전극 패턴닝 마스크를 사용한 사진 식각 공정으로 식각하여 하드마스크층 패턴과 중첩되어있는 도전층 패턴으로된 게이트전극을 형성하는 공정과,

상기 패턴들의 측벽에 절연 스페이서를 형성하는 공정과,

상기 구조의 전표면에 출간절연막을 형성하는 공정과,

상기 출간 절연막을 랜딩 플러그 콘택 식각 마스크를 이용한 사진 식각 공정을 패턴닝하여 랜딩플러그 콘택홀을 형성하는 공정과,

10-2004-0061856

상기 구조의 전표면에 랜딩 플러그 도전층을 형성하는 공정과,

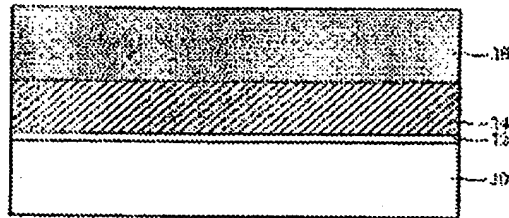
상기 랜딩 플러그 도전층을 CMP방법으로 평탄화하여 평탄층에 랜딩 플러그를 형성하는 공정을 구비하는 반도체소자의 제조방법.

청구항 2. 제 1항에 있어서,

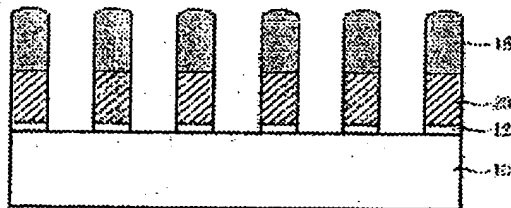
상기 하드마스크층은 질화막-산화막-질화막의 적층 구조인 것을 특징으로 하는 반도체소자의 제조방법.

도면

도면 1a



도면 1b



10-2004-0061856

FIG. 1a

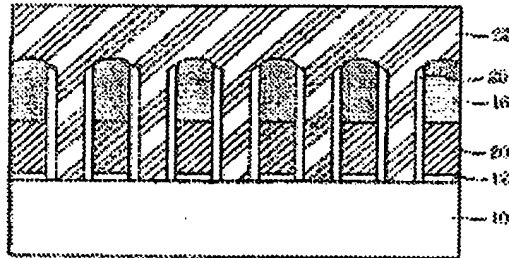


FIG. 1b

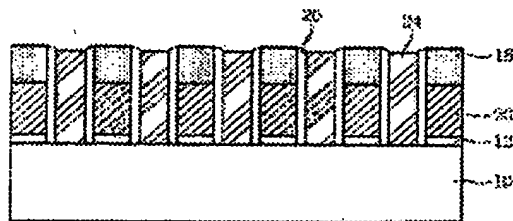
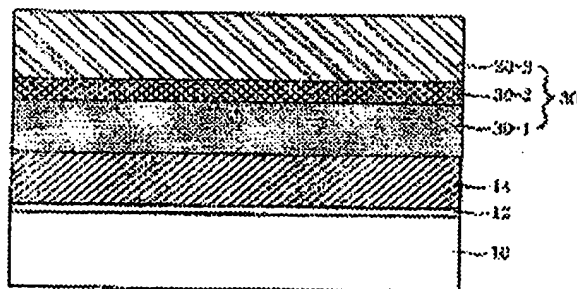


FIG. 1c



10-2004-0061856

FIG. 23

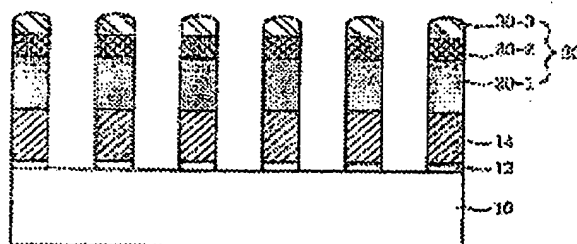


FIG. 24

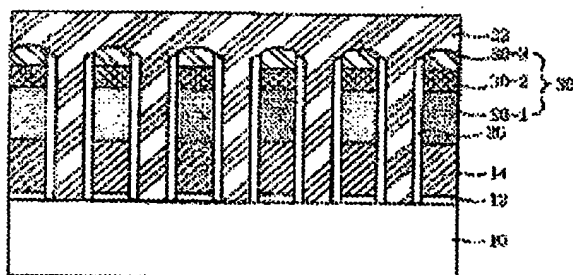


FIG. 25

